

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-289243

(43)Date of publication of application : 19.10.1999

(51)Int.Cl. H03K 3/02
H03B 5/32

(21)Application number : 10-091420

(71)Applicant : TOSHIBA MICROELECTRONICS
CORP
TOSHIBA CORP

(22)Date of filing : 03.04.1998

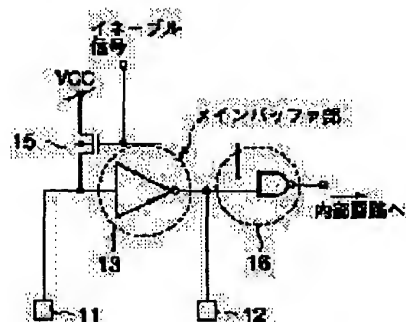
(72)Inventor : OUCHI TAKASHI
ISHIBASHI MASAHIRO
SEI TOSHIKAZU

(54) OSCILLATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an oscillation circuit having reliability in the control of oscillating operation and including a main buffer part of which element area is small.

SOLUTION: The oscillation circuit consists of an inverter circuit constituting a main buffer part 13 for amplifying an input amplitude signal, a P-channel MOS transistor(TR) 15 for controlling the transmission of the input amplitude signal by an enable signal and a NAND gate circuit 16 for receiving an output signal from the inverter circuit 13 and a control signal and invalidating the transmission of the output signal from the inverter circuit 13 to an internal circuit only when the MOS TR 15 is a conductive state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The oscillator circuit characterized by providing the following. The inverter circuit which constitutes the main buffer section which amplifies an input amplitude signal. The transistor element by which a current path is connected and flow control is carried out with a control signal between a predetermined voltage node and the input of the aforementioned inverter circuit in order to control transfer of an input amplitude signal. The logical circuit which the output signal and the aforementioned control signal of the aforementioned inverter circuit are transmitted, and repeats transfer of the output signal of the aforementioned inverter circuit only when the aforementioned transistor element is switch-on.

[Claim 2] The oscillator circuit according to claim 1 characterized by providing further the Schmitt trigger circuit in which the output signal of the aforementioned inverter circuit is prepared in the preceding paragraph transmitted to the aforementioned logical circuit.

[Claim 3] The oscillator circuit characterized by providing the inverter circuit which constitutes the main buffer section which amplifies an input amplitude signal, the transistor element by which a current path is connected and flow control is carried out with a control signal between a predetermined voltage node and the input of the aforementioned inverter circuit in order to control transfer of an input amplitude signal, and the NAND gate circuit where the output signal and the aforementioned control signal of the aforementioned inverter circuit are transmitted.

[Claim 4] The oscillator circuit according to claim 3 characterized by providing further the Schmitt trigger circuit in which the output signal of the aforementioned inverter circuit is prepared in the preceding paragraph transmitted to the aforementioned NAND gate.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the oscillator circuit of which detailed-ization is required.

[0002]

[Description of the Prior Art] Drawing 3 and 4 are the circuit diagrams showing the composition of the conventional oscillator, respectively. In drawing 3, the source of dispatch, for example, the dispatch signal from a quartz resonator (not shown), is inputted into input terminals 11 and 12. Between I/O of the main buffer section 13 which consists of inverter circuits is inserted among these input terminals 11 and 12. The output of the main buffer section 13 supplies an oscillation signal to an internal circuitry through an inverter 14.

[0003] Between supply voltage VCC and the input side of the main buffer section 13, between the source of the P-channel-MOS transistor 15 and the drain is connected. This transistor 15 considers an enable signal as a gate input, and controls oscillation operation.

[0004] That is, a transistor 15 turns on, and "H" (high level) from supply voltage is inputted into the main buffer section 13 by "L" (low level) of an enable signal, and repeats the input amplitude of the source of dispatch from terminals 11 and 12 by it.

[0005] Moreover, by "H" of an enable signal, a transistor 15 turns off and the input amplitude of the source of dispatch from terminals 11 and 12 is confirmed. It is made to control the oscillation to an internal circuitry by the P-channel-MOS transistor 15 as mentioned above. Since the amplitude of a quartz resonator is minute, this P-channel-MOS transistor 15 consists of small elements compared with the main buffer section 13.

[0006] For this reason, in the function check test in a product, if the wave for which a full swing was taken from the circuit tester to the input terminal 11 was inputted, since the potential of the drain portion of the P-channel-MOS transistor 15 which supplies the potential of supply voltage VCC would be changed and an oscillation would get across to an internal circuitry through the main buffer section 13, there was a problem that the control function of an enable signal could not be checked.

[0007] Drawing 4 constitutes the main buffer section from a 2 input NAND gate, in order to control the oscillation of an oscillator compared with drawing 3 (main buffer section 23). When an enable signal is "L", it is not concerned with change of the oscillation signal from a quartz resonator (not shown), but the output signal of the main buffer section 23 is always set to "H", and suspends the oscillation to an internal circuitry.

[0008] In order to constitute the above-mentioned 2 input NAND gate (23), at least four elements are needed. Moreover, the big element needed to constitute the main buffer section 23 from the purpose of amplifying an oscillation signal. For this reason, since an element use field becomes large to the main buffer section 13 of drawing 3 being an inverter as for the main buffer section 23 of drawing 4, there is a problem that there is an area-demerit.

[0009]

[Problem(s) to be Solved by the Invention] In the conventional oscillator, element size will become large from the purpose that the main buffer section amplifies an oscillation signal. Therefore, the circuitry of an inverter with few element numbers is desirable in area. However, the transistor element which controls oscillation operation is independently required, and reliability is missing in a function check test. Moreover, although the reliability of oscillation motion control is satisfactory, since there are many element numbers and element size becomes large with the logical circuit composition also incorporating the circuit which controls oscillation operation, respectively, it is not desirable in area.

[0010] This invention is the technical problem's having reliability in control of oscillation operation, and offering an oscillator circuit with the main buffer section with a small element area in consideration of the above situations.

[0011]

[Means for Solving the Problem] The inverter circuit which constitutes the main buffer section in which the oscillator circuit of this invention amplifies an input amplitude signal, The transistor element by which a current path is connected and flow control is carried out with a control signal between a predetermined voltage node and the input of the aforementioned inverter circuit in order to control transfer of an input amplitude signal, It is characterized by providing the logical circuit which inputs the output signal and the aforementioned control signal of the aforementioned inverter circuit, and repeals transfer of the output signal of the aforementioned inverter circuit only when the aforementioned transistor element is switch-on.

[0012] In this invention, the main buffer section which becomes large [element area] is constituted from an inverter circuit which can be managed with a few element number, and prepares a logical circuit apart from the main buffer section. Thereby, with a control signal, it cannot be influenced of the output signal from the main buffer section, but the oscillation to an internal circuitry can be suspended.

[0013]

[Embodiments of the Invention] Drawing 1 is the circuit diagram showing the composition of the oscillator circuit concerning the operation gestalt of this invention. The source of dispatch, for example, the dispatch signal from a quartz resonator (not shown), is inputted into input terminals 11 and 12. Between I/O of the main buffer section 13 which becomes by the inverter circuit is inserted among these input terminals 11 and 12. The output of the main buffer section 13 supplies an oscillation signal to an internal circuitry through an inverter 14.

[0014] Between the node of supply voltage VCC, and the input side of the main buffer section (inverter circuit) 13, between the source of the P-channel-MOS transistor 15 and the drain is connected. This transistor 15 considers an enable signal as a gate input.

[0015] Moreover, NAND gate 16 which inputs the output signal and the above-mentioned enable signal of the main buffer section (inverter circuit) 13 is formed. The output of NAND gate 16 is transmitted to an internal circuitry. As operation as a logical circuit, this NAND gate 16 repeals the transfer to the internal circuitry of the output signal (signal of oscillation operation) of an inverter circuit (13), only when the MOS transistor of a P channel is switch-on here.

[0016] That is, a transistor 15 turns on, and "H" (high level) from supply voltage is inputted into the main buffer section (inverter circuit) 13 by "L" (low level) of an enable signal, and repeals the input amplitude of the source of dispatch from terminals 11 and 12 by it.

[0017] Furthermore, in NAND gate 16, since "L" of an enable signal is given to an input on the other hand, even if there is level variation of "L" of the inverter circuit (13) in an another side input, the output is set to "H." Thereby, it cannot be influenced of the output signal from the main buffer section (inverter circuit) 13, but the oscillation to an internal circuitry can be suspended.

[0018] On the other hand, by "H" of an enable signal, a transistor 15 turns off and the input amplitude of the source of dispatch from terminals 11 and 12 is confirmed. Since "H" of an enable signal is given to an input also for NAND gate 16 on the other hand at this time, the oscillation output signal from the main buffer section (inverter circuit) 13 will be transmitted to an internal circuitry through NAND gate 16.

[0019] Since the amplitude of the quartz resonator (not shown) which is a source of dispatch is minute,

the above-mentioned P-channel-MOS transistor 15 consists of small elements compared with the main buffer section 13.

[0020] Moreover, NAND gate 16 of the two above-mentioned input can consist of small elements compared with the main buffer section 13 which needs amplification of an amplitude signal. For this reason, an element use field is small and ends.

[0021] Furthermore, even when the oscillator of high frequency is constituted and a big element is needed for the main buffer section 13, since the main buffer section 13 is an inverter circuit, it ends with the increase in the element use field in a two-element unit. This contributes to reduction-ization of element use area like the conventional example of drawing 4 compared with an element use field increasing per four elements.

[0022] Drawing 2 is the circuit diagram of an oscillator circuit showing the application of drawing 1. Compared with the composition of drawing 1, the Schmitt circuit and so-called Schmitt trigger circuit 17 are formed in the preceding paragraph which the output signal of the main buffer section (inverter circuit) 13 is delivered to NAND gate 16. Schmitt trigger circuit 17 corrects **** of the wave of the oscillation output signal of the main buffer section 13, and transmits it to NAND gate 16.

[0023] Even when a big element is needed for such composition or the main buffer section 13, since the main buffer section 13 is an inverter circuit, it ends with the increase in the element use field in a two-element unit. Moreover, compared with the main buffer section 13, Schmitt trigger circuit 17 and NAND gate 16 can consist of small area.

[0024] In order according to each above-mentioned composition to adopt the circuitry (13) of an inverter with few element numbers as the main buffer section and to acquire reliability in oscillation motion control as an oscillator, in addition to the transistor element for supply voltage supply controlled by the enable signal, the logical circuit (NAND gate 16) controlled by the enable signal was prepared in the preceding paragraph of an internal circuitry. Thereby, in circuitry, the composition of the oscillator of high-reliability with a small occupancy area is attained.

[0025]

[Effect of the Invention] As explained above, according to this invention, the main buffer section which becomes large [element area] is constituted from an inverter circuit which can be managed with a few element number, and prepares a logical circuit apart from the main buffer section. Thereby, with a control signal, it cannot be influenced of the output signal from the main buffer section, but the oscillation to an internal circuitry can be suspended. Therefore, reliability is in control of oscillation operation, and an oscillator circuit with a small occupancy area can be offered in circuitry.

[Translation done.]

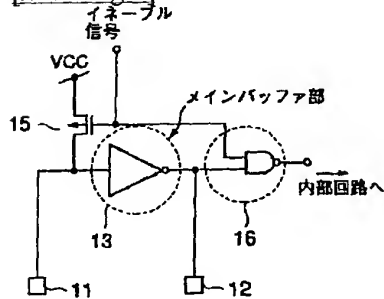
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

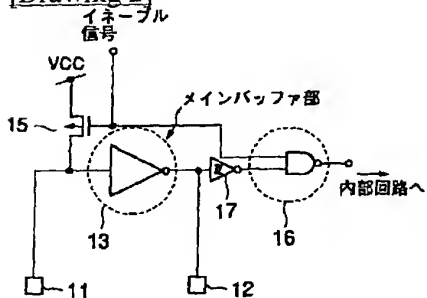
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

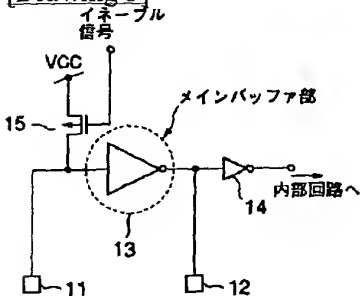
[Drawing 1]



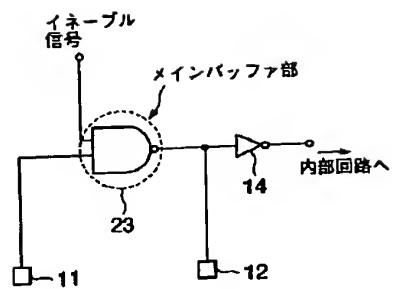
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-289243

(43) 公開日 平成11年(1999)10月19日

(51) IntCl.⁹

H 0 3 K 3/02

H 0 3 B 5/32

識別記号

F I

H 0 3 K 3/02

H 0 3 B 5/32

P

J

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平10-91420

(22) 出願日 平成10年(1998)4月3日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 大内 尚

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72) 発明者 石橋 真裕

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

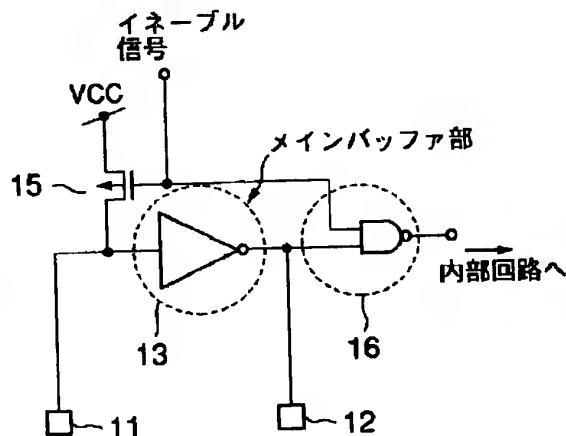
最終頁に続く

(54) 【発明の名称】 発振回路

(57) 【要約】

【課題】 発振動作の制御に信頼性があり、かつ素子面積の小さいメインバッファ部を有した発振回路を提供すること。

【解決手段】 入力振幅信号を増幅するメインバッファ部13を構成するインバータ回路と、イネーブル信号により、入力振幅信号の伝達を制御するPチャネルMOSトランジスタ15と、インバータ回路(13)の出力信号と制御信号を入力し、上記MOSトランジスタ15が導通状態のときのみインバータ回路(13)の出力信号の内部回路への伝達を無効にするNANDゲート回路とからなる。



【特許請求の範囲】

【請求項1】 入力振幅信号を増幅するメインバッファ部を構成するインバータ回路と、
入力振幅信号の伝達を制御するため所定電圧ノードと前記インバータ回路の入力との間に電流通路が接続され制御信号により導通制御されるトランジスタ素子と、
前記インバータ回路の出力信号と前記制御信号が伝達され前記トランジスタ素子が導通状態のときのみ前記インバータ回路の出力信号の伝達を無効にする論理回路とを具備したことを特徴とする発振回路。

【請求項2】 前記インバータ回路の出力信号が前記論理回路に伝達される前段において設けられるシュミットトリガ回路をさらに具備したことを特徴とする請求項1に記載の発振回路。

【請求項3】 入力振幅信号を増幅するメインバッファ部を構成するインバータ回路と、
入力振幅信号の伝達を制御するため所定電圧ノードと前記インバータ回路の入力との間に電流通路が接続され制御信号により導通制御されるトランジスタ素子と、
前記インバータ回路の出力信号と前記制御信号が伝達されるNANDゲート回路とを具備したことを特徴とする発振回路。

【請求項4】 前記インバータ回路の出力信号が前記NANDゲートに伝達される前段において設けられるシュミットトリガ回路をさらに具備したことを特徴とする請求項3に記載の発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、特に微細化を要求される発振回路に関する。

【0002】

【従来の技術】図3、4はそれぞれ、従来のオシレータの構成を示す回路図である。図3において、入力端子11、12には、発信源、例えば水晶振動子（図示せず）からの発信信号が入力される。この入力端子11、12の間にインバータ回路で構成されるメインバッファ部13の入出力間が挿入されている。メインバッファ部13の出力はインバータ14を介して内部回路へ発振信号を供給する。

【0003】電源電圧VCCとメインバッファ部13の入力側との間に、PチャネルMOSトランジスタ15のソース、ドレイン間が接続されている。このトランジスタ15は、イネーブル信号をゲート入力とし、発振動作を制御する。

【0004】すなわち、イネーブル信号の“L”（ローレベル）により、トランジスタ15がオンし、電源電圧からの“H”（ハイレベル）がメインバッファ部13に入力され、端子11、12からの発信源の入力振幅を無効にする。

【0005】また、イネーブル信号の“H”により、ト

ランジスタ15がオフし、端子11、12からの発信源の入力振幅を有効にする。上記のようにPチャネルMOSトランジスタ15により、内部回路への発振を制御するようにしている。このPチャネルMOSトランジスタ15は、水晶振動子の振幅が微小であることから、メインバッファ部13に比べて小さな素子で構成されている。

【0006】このため、製品でのファンクション確認テストにおいて、テストから入力端子11に対しフルスイングした波形を入力すると、電源電圧VCCの電位を供給しているPチャネルMOSトランジスタ15のドレイン部分の電位が変動し、メインバッファ部13を介して内部回路へ発振が伝わるため、イネーブル信号の制御機能を確認することができないという問題があった。

【0007】図4は、図3に比べて、オシレータの発振を制御するために、メインバッファ部を2入力NANDゲートで構成してある（メインバッファ部23）。イネーブル信号が“L”の時には、水晶振動子（図示せず）からの発振信号の変化に関わらず、メインバッファ部23の出力信号は常に“H”となり、内部回路への発振を停止するようになっている。

【0008】上記2入力NANDゲート（23）を構成するためには、最低4つの素子が必要となる。また、メインバッファ部23は発振信号を増幅するという目的から大きな素子で構成する必要があった。このため、図3のメインバッファ部13がインバータであるのに対して、図4のメインバッファ部23は、素子使用領域が大きくなるため、面積的なデメリットがあるという問題がある。

【0009】

【発明が解決しようとする課題】従来のオシレータでは、そのメインバッファ部は、発振信号を増幅するという目的から素子サイズは大きいものとなる。従って、素子数の少ないインバータの回路構成が面積的に好ましい。しかし、発振動作を制御するトランジスタ素子が別に必要であり、ファンクション確認テストにおいて信頼性に欠ける。また、発振動作を制御する回路をも組み込んだ論理回路構成では、発振動作制御の信頼性は問題ないが、素子数が多く、それぞれ素子サイズが大きくなるから、面積的に好ましくない。

【0010】この発明は上記のような事情を考慮し、その課題は、発振動作の制御に信頼性があり、かつ素子面積の小さいメインバッファ部を有した発振回路を提供することである。

【0011】

【課題を解決するための手段】この発明の発振回路は、入力振幅信号を増幅するメインバッファ部を構成するインバータ回路と、入力振幅信号の伝達を制御するため所定電圧ノードと前記インバータ回路の入力との間に電流通路が接続され制御信号により導通制御されるトランジ

スタ素子と、前記インバータ回路の出力信号と前記制御信号を入力し前記トランジスタ素子が導通状態のときのみ前記インバータ回路の出力信号の伝達を無効にする論理回路とを具備したことを特徴とする。

【0012】この発明では、素子面積の大きくなるメインバッファ部は少ない素子数で済むインバータ回路で構成し、メインバッファ部とは別に論理回路を設ける。これにより、制御信号により、メインバッファ部からの出力信号の影響を受けず、内部回路への発振を停止することができる。

【0013】

【発明の実施の形態】図1は、この発明の実施形態に係る発振回路の構成を示す回路図である。入力端子11、12には、発信源、例えば水晶振動子（図示せず）からの発信信号が入力される。この入力端子11、12の間にインバータ回路でなるメインバッファ部13の入出力間が挿入されている。メインバッファ部13の出力はインバータ14を介して内部回路へ発振信号を供給する。

【0014】電源電圧VCCのノードとメインバッファ部（インバータ回路）13の入力側との間に、PチャネルMOSトランジスタ15のソース、ドレイン間が接続されている。このトランジスタ15は、イネーブル信号をゲート入力とする。

【0015】また、メインバッファ部（インバータ回路）13の出力信号と上記イネーブル信号を入力するNANDゲート16が設けられている。NANDゲート16の出力は内部回路に伝達される。このNANDゲート16は、論理回路としての動作として、ここではPチャネルのMOSトランジスタが導通状態のときのみインバータ回路（13）の出力信号（発振動作の信号）の内部回路への伝達を無効にするものである。

【0016】すなわち、イネーブル信号の“L”（ローレベル）により、トランジスタ15がオンし、電源電圧からの“H”（ハイレベル）がメインバッファ部（インバータ回路）13に入力され、端子11、12からの発信源の入力振幅を無効にする。

【0017】さらに、NANDゲート16では、一方入力にイネーブル信号の“L”が与えられるので、他方入力におけるインバータ回路（13）の“L”のレベル変動があっても、その出力は“H”となる。これにより、メインバッファ部（インバータ回路）13からの出力信号の影響を受けず、内部回路への発振を停止することができる。

【0018】一方、イネーブル信号の“H”により、トランジスタ15がオフし、端子11、12からの発信源の入力振幅を有効にする。このとき、NANDゲート16も、イネーブル信号の“H”が一方入力に与えられるから、メインバッファ部（インバータ回路）13からの発振出力信号は、NANDゲート16を介して内部回路へ伝達されることになる。

【0019】上記PチャネルMOSトランジスタ15は、発信源である水晶振動子（図示せず）の振幅が微小であることから、メインバッファ部13に比べて小さな素子で構成されている。

【0020】また、上記2入力のNANDゲート16は、振幅信号の増幅を必要とするメインバッファ部13に比べて、小さな素子で構成することができる。このため、素子使用領域が小さくて済む。

【0021】さらに、高周波数のオシレータを構成する際に、メインバッファ部13に大きな素子が必要となった場合でも、メインバッファ部13がインバータ回路であることから、2素子単位での素子使用領域の増加で済む。これにより、図4の従来例のように、4素子単位で素子使用領域が増加するのに比べて、素子使用面積の縮小化に寄与する。

【0022】図2は、図1の応用例を示す発振回路の回路図である。図1の構成に比べて、メインバッファ部（インバータ回路）13の出力信号がNANDゲート16に伝達される前段においてシュミット回路、いわゆるシュミットトリガ回路17が設けられている。シュミットトリガ回路17は、メインバッファ部13の発振出力信号の波形の鈍りを修正し、NANDゲート16に伝達する。

【0023】このような構成でも、メインバッファ部13に大きな素子が必要となった場合でも、メインバッファ部13がインバータ回路であることから、2素子単位での素子使用領域の増加で済む。また、メインバッファ部13に比べて、シュミットトリガ回路17、NANDゲート16は小さい面積で構成できる。

【0024】上記各構成によれば、オシレータとして、メインバッファ部に素子数の少ないインバータの回路構成（13）を採用し、発振動作制御において信頼性を得るため、イネーブル信号で制御される電源電圧供給用のトランジスタ素子に加えて、イネーブル信号で制御される論理回路（NANDゲート16）を内部回路の前段に設けた。これにより、回路構成において占有面積の小さい高信頼性のオシレータの構成が達成される。

【0025】

【発明の効果】以上説明したようにこの発明によれば、素子面積の大きくなるメインバッファ部は少ない素子数で済むインバータ回路で構成し、メインバッファ部とは別に論理回路を設ける。これにより、制御信号により、メインバッファ部からの出力信号の影響を受けず、内部回路への発振を停止することができる。よって、発振動作の制御に信頼性があり、かつ回路構成において占有面積の小さい発振回路を提供することができる。

【図面の簡単な説明】

【図1】この発明の実施形態に係る発振回路の構成を示す回路図。

【図2】図1の応用例を示す回路図。

【図 3】従来の発振回路の構成を示す第 1 の回路図。

【図 4】従来の発振回路の構成を示す第 2 の回路図。

【符号の説明】

1 1、1 2…入力端子

1 3…メインバッファ部（インバータ回路）

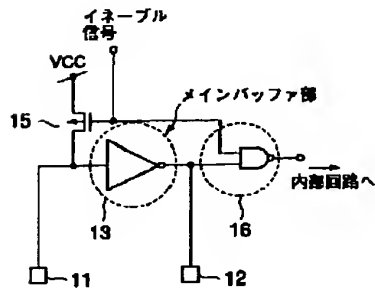
1 4…インバータ

1 5…PチャネルMOSトランジスタ

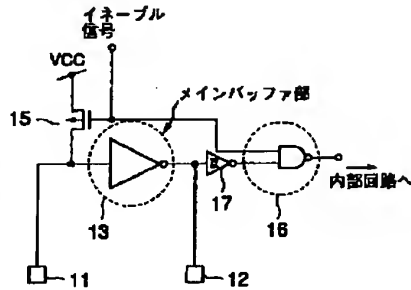
1 6…NANDゲート回路

1 7…シュミットトリガ回路

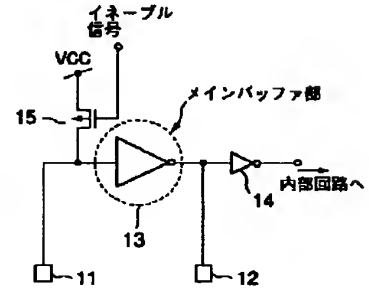
【図 1】



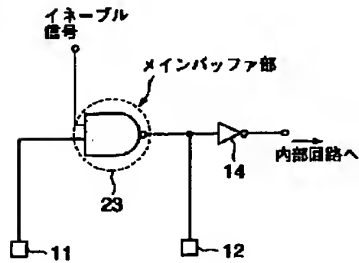
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 清 俊和

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内